

Die Leiterplatte 2005

Hardware entwickeln, die schon heute die Anforderungen von morgen erfüllt

Eine Lösung, um auf die zunehmende Produktvielfalt, immer kürzer werdende Produktlebenszyklen und rascher aufeinander folgenden Technologiewechsel zu reagieren, ist eine Entwicklungs-Plattform, die nicht nur flexibel ist, sondern auch genug Übertragungskapazität für die nächsten Jahre bietet. Während moderne Halbleiter dazu bereits in der Lage sind, gilt es auf Board-Ebene ganz neue Wege in enger Zusammenarbeit mit Leiterplattenhersteller und Baugruppenproduzent zu beschreiten. Schließlich ist es für High-Speed-Anwendungen weder wirtschaftlich noch praktikabel, sich wie so oft nach dem „Try and Error-Prinzip“ zum Ergebnis zu hangeln. In einer dreiteiligen Serie zeigen wir eine durchgängige Lösung anhand eines Hochgeschwindigkeits-CPU-Moduls.

Gerhard Eigelsreiter*

Bei gegenwärtigen Demo- und Entwicklungsboards gilt es, die Hardware möglichst gut auszunutzen, ohne viel Rücksicht auf flexible I/O-Strukturen zu nehmen. Eine wachsende Anzahl von Peripherie-Elementen wird zunehmend mit IP-Modulen in reprogrammierbarer Logik (FPGAs) realisiert. Dies geht stark zu Lasten der für anwenderspezifische Lösungen vorgesehenen freien Ressourcen. Eine nahe liegende Möglichkeit wäre, beispielsweise bei SRAM-basierenden FPGAs nicht benutzte Funktionen zu entfernen. Konstruktionsbedingt wird

*Gerhard Eigelsreiter ist Inhaber der Firma unit^{el} in Graz/Österreich.

die Nutzung der so gewonnenen I/Os leider wieder durch mangelhafte oder fehlende Softwarewerkzeuge nachhaltig verhindert.

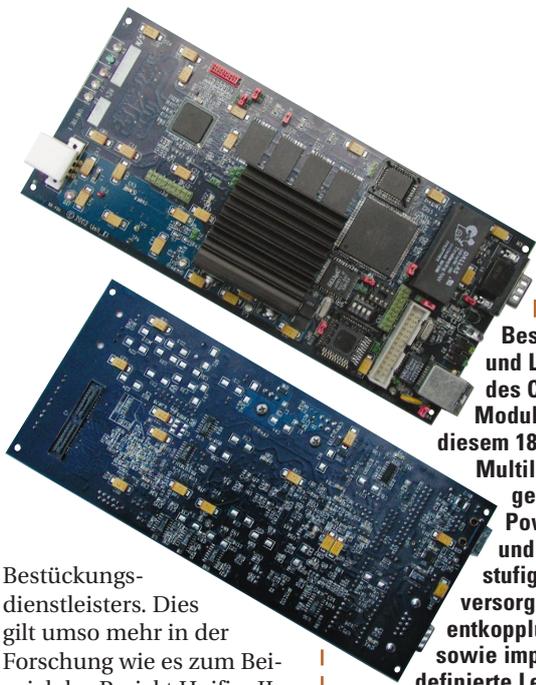
Die Synthese von vielen seriellen Hochgeschwindigkeitskanälen mittels komplexer FPGA-Strukturen bildete die Basis für die Entwicklung und Konstruktion einer Hardware, die den Herausforderungen der nächsten Jahre standhält. Anhand des 18 Lagen Multilayerboards CERO innerhalb des Projekts Unifire II (siehe Kasten Seite 66) werden wir in einer dreiteiligen Serie die eingeschlagenen Lösungswege erläutern und die Vorgehensweise von der Idee bis zur Fertigung erklären.



Erhebliche Fortschritte bei der Entwicklung von Prozesstechnologien zur Herstellung von Logikchips mit Strukturen von 0,13 μm und darunter haben zur Realisierung von ICs mit I/O-Bandbreiten von mehreren 100 GBit/s geführt. Über ein besonders hohes Maß an Flexibilität und Freiraum verfügen SRAM-basierende FPGAs, stellvertretend für reprogrammierbare Logik der letzten Generation. Die Komplexität dieser Bausteine stellt besondere Anforderungen an die Konstruktion von Hardware mit Gigabit-Technologien. Dabei kommt der Leiterplatte als Schaltungsträger und Verbindungselement die eigentliche Schlüsselposition zu. Als Verbindungselement muss die Leiterplatte schon heute den Bedarf an breitbandiger Datenübertragung für die nächsten Jahre erfüllen. Diesen Herausforderungen allein durch Verbesserungen klassischer Methoden zu begegnen, lässt sich kaum mehr bewerkstelligen und insbesondere aus Kostengründen nicht mehr so leicht rechtfertigen. Mit den

neuen Halbleitertechnologien treten Designprobleme zu Tage, die es bislang nicht zu geben schienen. Die Konsequenz sind komplexe Multilayer, deren Funktionalität und korrektes EMV-Verhalten mit einer Fülle von Maßnahmen sichergestellt werden muss.

Die Herstellung der Leiterplatte stützt sich primär auf drei Säulen: Die Entwicklung der Hardware, bestehend aus Schaltplan und Layout, die Produktion der Leiterplatten und letztlich das Bestücken und Löten der Baugruppe. Sinnvollerweise sollte die Schaltplan- und Layoutentwicklung innerhalb der eigenen Kernkompetenz als fester Bestandteil erhalten bleiben. Allerdings ist bereits bei der Layouterstellung eine enge Partnerschaft mit einem kompetenten Leiterplattenhersteller unerlässlich. Darüber hinaus verlangen hochpolige FPGAs in BGA-Gehäusen sowie Leiterplatten mit 18 Lagen und mehr ebenfalls eine sorgfältige Auswahl des



■ **Bestückungs- und Lötseite des CPU-Modul CER0: In diesem 18-lagigen Multilayer sind gestapelte Powerplanes und mehrstufige Stromversorgungs-entkopplung sowie impedanzdefinierte Leitungsführung realisiert**

Bestückungs-dienstleisters. Dies gilt umso mehr in der Forschung wie es zum Beispiel das Projekt Unifire II und die Entwicklung des CPU-Moduls CER0 erfordert hat.

Multilayer mit adäquaten EMV-Eigenschaften

Im Gegensatz zur Chip-ebene, die der Halbleiterhersteller abgedeckt, ist auf der Board-Ebene eine wesentlich höhere Komplexität in der Entwicklung der Leiterplattenlayouts und der Konstruktion von Multilayern mit adäquaten EMV-Eigenschaften erforderlich als dies in der Vergangenheit der Fall war. Richtig problematisch wird die Einhaltung der EMV-Richtlinien und erst recht die Sicherstellung der Funktionen unterschiedlicher Bauelemente beim Einsatz serieller Gigabit-Übertragungstechniken.

Hochpolige FPGAs, z.B. Virtex II Pro von Xilinx bieten bis zu 24 bidirektionale Transceiver mit je 3 GBit/s Übertragungsrate.

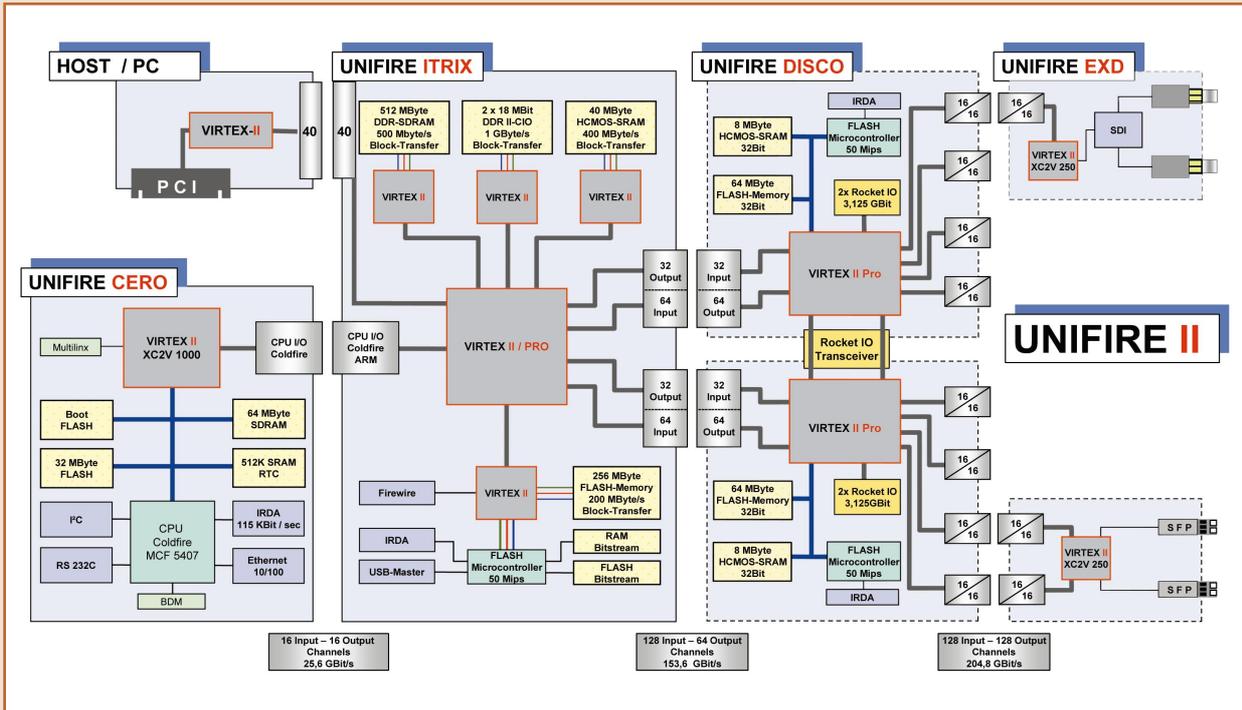
In diesem physikalischen Umfeld sichern nur ausgefeilte Maßnahmen das reibungslose Zusammenspiel digitaler und analoger Strukturen auf ein und derselben Platine. Besonderes Augenmerk ist auf die Lagenanzahl und den Lagenaufbau der Stromversorgungsflächen bei Einsatz von mehreren Betriebsspannungen zu richten. Durch die Reduzierung der Core-Spannungen auf 1,2 V und darunter sind Stromtransienten von 50 A/ns bereits die Regel. Der Einsatz spezieller Stütz-

Drei Jahrzehnte Hardwareentwicklung

Mit drei Jahrzehnten Erfahrung in der Hardwareentwicklung kann die in Graz ansässige unit^el-Gruppe aufwarten. Hauptgeschäftsfeld der Hightech-Schmiede aus Österreich ist die Entwicklung und Konstruktion von FPGA-basierenden Embedded-Systemen in Kombination mit leistungsfähigen CPUs. (z.B. ARM, Motorola, Hitachi, Intel mit 16/32/64 Bit). Das Spektrum reicht von

projektbegleitenden Dienstleistungen auf kundenspezifischer Applikationsebene bis zur Überleitung zum Serienbau. Ein absolutes Novum bildet das Leiterplattenlayout in Kombination mit speziellen Lagendesigns der Stromversorgungsflächen. Das Ergebnis sind impedanzdefinierte Leiterplatten mit extrem hoher Signalintegrität im Gigabit-Bereich mit exzellenten EMV-Eigenschaften.

Die rekonfigurierbare Hochgeschwindigkeitsplattform Unifire II



Die skalierbare und rekonfigurierbare Hochgeschwindigkeitsplattform Unifire II ist die optimale Synthese einer offenen Entwicklungsplattform mit sofort einsetzbarer Applikationshardware. Die Hardwarebasis setzt sich aus drei Modulen und speziellen Subsystemen zusammen. Die Module, die sich durch ihre Übertragungs- und Durchsatzkapazität unterscheiden, sind so konstruiert, dass sie sich auch unabhängig voneinander einsetzen lassen. Entsprechend ihrer Leistung und Funktionalität sind sie den Kategorien Blueline, Redline, Greenline, Whiteline und Blackline zugeordnet. Optisch kontrastieren die Module und Subsysteme durch ihre Leiterplattenfarbe.

Das Modul **Unifire II CERO**, Kategorie Blueline, ist gegenwärtig mit einer Motorola Coldfire-CPU ausgeführt. In Planung ist das Modul AERO mit ARM-Prozessor. Auf der Controller-Seite befinden sich die Schnittstellen geringer Bandbreite, wie RS232C, I²C, IRDA und Ethernet für Servicezugriff, die Benutzeroberfläche zur CPU und langsame Up/Download-Prozesse. Das Board verfügt über 64 MByte SDRAM, 32 MByte FLASH, 512 KByte SRAM, ein Boot-FLASH und eine Echtzeituhr. Als Betriebssystem sind derzeit zwei Varianten vorgesehen: OS9 – eine Unix-ähnliche Echtzeitvariante für Embedded-Systeme und Embedded LINUX. Die Hochgeschwindigkeitsseite ist mit einem Virtex II FPGA ausgestattet. Es werden 32 LVDS-Kanäle

unterstützt, die im Falle der Verwendung als Einzelmodul für den Anwender voll verfügbar sind. Das entspricht einer akkumulierten I/O-Bandbreite von 25,6 Gbit/s. Das Modul CERO ist als autarkes Embedded-System ohne Einschränkungen einsetzbar. Hierfür bietet unitel die Entwicklung von Subsystemen, als auch „Spin-off“-Produkten auf Kundenwunsch an.

Das Modul **Unifire II ITRIX** (in Vorbereitung), Kategorie Redline, unterstützt auf der „langsamen“ Seite die Schnittstellen FireWire, IRDA und USB-Master. Dieses Modul enthält einen FLASH-Controller für das Laden der Virtex-II-PRO-Design-Elemente vom Bitstream RAM und den FLASH Devices. Das zentrale Virtex II PRO FPGA ist auf einer Seite über LVDS-I/O-Kanäle mit dem Modul CERO oder AERO verbunden. Die andere Seite stellt eine LVDS-Kanalkapazität von 102,4 Gbit/s eingangsseitig und 51,2 Gbit/s ausgangsseitig zur Verfügung oder ist mit DISCO als Doppelmodul assoziiert. Somit ergibt sich unter Berücksichtigung der CERO-LVDS-Kanäle eine akkumulierte I/O-Bandbreite von 179,2 Gbit/s. Darüber hinaus stehen bis zu 24 bidirektionale Transceiverkanäle mit zusätzlich max. 120 Gbit/s Bandbreite zur Verfügung. Für das zentrale Virtex II PRO FPGA kann der komplexeste Baustein, Virtex II PRO P125, mit vier PowerPC-Prozessor-Blocks, neben zwei weiteren alternativen Bausteinen zum Einsatz kommen. Damit lässt sich

eine gute Balance zwischen Systemanforderungen und -kosten erzielen. ITRIX unterstützt vier verschiedene Speichersysteme mit 4,2 GByte/s Gesamtbreite und alle Speicher-Arrays laufen im Parallelbetrieb: Zwischen dem zentralen Virtex-II-PRO-Baustein und den Memory-Controllern sind **keine Busse** vorhanden, sondern ausschließlich massiv parallele LVDS-Kanäle mit deterministischem Verhalten.

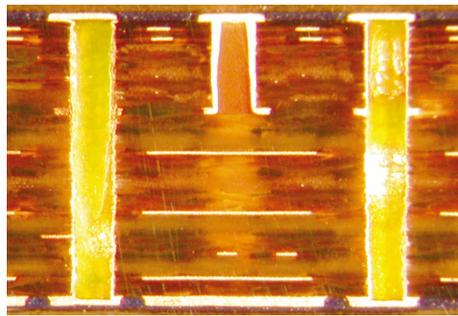
Das Modul **Unifire II DISCO**, Kategorie Greenline ist in Planung. Dieses Modul kann dann zum Einsatz kommen, wenn eine Vorverarbeitung von ankommenden Hochgeschwindigkeitsdatenströmen oder Nachverarbeitung bei abgehenden Datenströmen erforderlich ist. Beispiele sind Dekompression, Transcoding, Synchronisation, Farbraumkorrektur und Image Fusion. In diesem Fall lässt sich zu den EXD-Subsystemen hin, Kategorie Whiteline, eine akkumulierte I/O-Kanalbandbreite von etwa 250 Gbit/s erzielen.

Die Submodule Unifire-EXD und Host/PC bilden das Interface zur Außenwelt. Die von CERO, ITRIX und/oder DISCO zur Verfügung gestellte, extrem hohe Bandbreite wird über kleine, kostengünstig herstellbare Submodule für bereits bestehende und, was besonders wichtig ist, für künftige Normschnittstellen nutzbar gemacht.

Vorteil: Die Kernhardware bleibt über Jahre unabhängig von jeglichem Schnittstellenchaos und Interface-Wahn. (cm)

kondensatoren alleine oder Kondensatorgruppen, beispielsweise mit den sehr populären Werten 100, 10 und 1 nF, hält den Anforderungen längst nicht mehr Stand. Durchgängige Lösungsansätze besitzen strengen Seltenheitswert.

Die steigenden Taktraten der Prozessoren, vor allem aber die kurzen Signalanstiegs- und Abfallzeiten der assoziierten Schaltungskomponenten führen zu High-Speed-Designs mit signifikanten Anforderungen. Die Forderung nach hoher Signalintegrität bei niedrigeren Betriebsspannungen schließt impedanzdefinierte Leiterbahnen mit genau aufeinander abgestimmten Signallaufzeiten ein. Der Induktivität von Leiterbahnen hinsichtlich breitbandig entkoppelter Stromversorgungssysteme gilt es besondere Beachtung zu schenken. Dies betrifft vor allem die Auswahl und Platzierung von Kondensatorgruppen bezüglich ihrer Leiterbahnlängen und die Art der Anbindung an flächige Stromversorgungslagen. Die Stützung unterschiedlicher Spannungsebenen von BGAs



Die Stützung unterschiedlicher Spannungsebenen der BGAs und GHz-Taktraten verlangt neue Lösungsansätze wie das „Pluggen von Leiterplatten“

mit 1000 Pins und mehr sowie Taktraten im GHz-Bereich verlangt völlig neue Lösungsansätze, die sich mit konventionellen CAD-Strategien kaum mehr realisieren lassen. Nur durch die intensive Zusammenarbeit mit dem Leiterplattenhersteller lassen sich Verfahren, wie z.B. das „Pluggen von Leiterplatten“ oder „gestapelten Stromversorgungsflächen“ mit wirtschaftlich vertretbarem Aufwand erarbeiten (siehe Teil 2 der Serie).

Ein nicht minder wichtiger Partner ist der Dienstleister für das Bestücken der Leiterplatte. Die Fertigstellung der Layout-Daten bedingt ergänzende Informationen aus der Fertigung. Der Grund: Die Serienfertigung von Multilayern mit 18

Lagen und mehr erfordert eine ebenso enge Zusammenarbeit mit einem guten Fertigungspartner hinsichtlich Bauteilmechanik, Temperaturprofilen und Genauigkeit der Lötstoppsmasken.

Dieses Fertigungs-Know-how ist während der Layout-Erstellung unbedingt mit einzubinden (siehe Teil 3 der Serie). Schließlich ist die „Try and Error-Methode“ sich iterativ mit durchschnittlich 7 bis 10 Prototypen unter Einbeziehung der jeweiligen EMV-Testergebnisse aus der Affäre zu ziehen, für Anwendungen im High-Speed-Bereich weder wirtschaftlich noch praktikabel. Den störenden Einflüssen von Hochgeschwindigkeits-halbleitern lässt sich lediglich durch ein fundiertes

www.elektronikpraxis.de

Die skalierbare und rekonfigurierbare Hochleistungsplattform Unifire II von unit[^]el

Daten und Fakten einschließlich Datenblätter und Referenzdesigns für Virtex II Pro von Xilinx

Verständnis der zu Grunde liegenden Physik und ihren Auswirkungen begegnen.

Welche physikalischen Zusammenhänge und deren Auswirkungen bei der High-Speed-Datenübertragung auf Board-Ebene zu berücksichtigen sind und mit welchen Maßnahmen der Leiterplattendesigner den störenden Einflüssen der Hochgeschwindigkeits-halbleiter begegnen kann, stehen im Mittelpunkt des zweiten Teil der Serie. Im dritten Teil stehen die Fertigungsaspekte für den komplexen Multilayer sowie die EMV-Messung auf dem Programm. Teil 2 erscheint in ELEKTRONIKPRAXIS 12/2003 am 17. Juni, der dritte Teil in Ausgabe 13/2003 am 1. Juli. (cm)

Kennziffer: 306