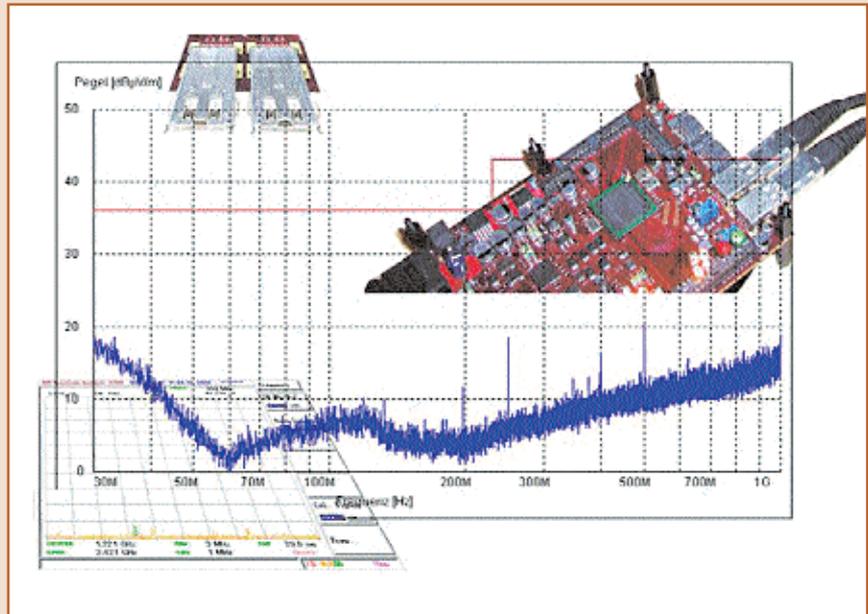


Signalintegrität I

Die Signalqualität der Datenübertragungsleitungen analysieren

Signalintegrität schließt alle Probleme ein, die mit Leitungsverbindungen in der Hardware für Hochgeschwindigkeitsanwendungen auftreten. Mit ihren vielseitig programmierbaren I/O-Blöcken eignen sich FPGAs ideal zur Analyse der Signalqualität von Übertragungsleitungen auf der Leiterplatte und deren Verbindungen zu Steckerkonstrukten. Anhand von Messergebnissen untersuchen wir in diesem Kapitel die Signalqualität von Datenverbindungsleitungen zwischen SDRAM und FPGA des 20-lagigen „meltemi“-Boards.



Gerhard Eigelsreiter*

Integrität: Ein Synonym für die kontinuierliche Übereinstimmung zwischen idealen und tatsächlichen in der Praxis auftretenden Werten, nicht in jedem kleinen Detail aber im Ganzen. Eine Umschreibung die, bezogen auf die Signalqualität, ein gehöriges Maß an freier Interpretation zulässt.

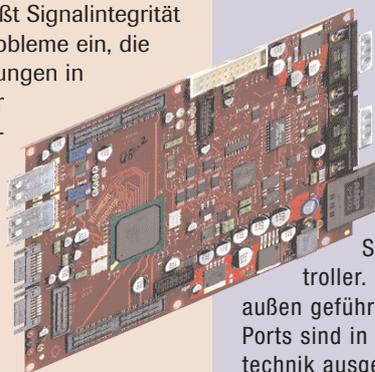
In der Elektronik schließt Signalintegrität im Allgemeinen alle Probleme ein, die mit (Leitungs-)Verbindungen in Hardwareprodukten für Hochgeschwindigkeitsanwendungen auftreten.

Bei Übertragungsraten von 1 GBit/s und darüber ist es längst Usus geworden, Hardwareprodukte auf den Markt zu bringen, die so grade noch in der EMV-Prüfhalle die Kurve kratzen. Dabei gerät zwangsläufig

die funktionale Stabilität unter die Räder, was sich im harmlosesten Fall besonders deutlich im Rückgang der tatsächlich übertragenen Nutzdaten niederschlägt. Dabei erweist sich die

Bandbreite im I/O-Bereich immer öfter als zentrale Forderung für flexible Kernhardware mit langer Lebensdauer in Marktsegmenten mit rasch wechselnden Produktzyklen und -Adaptionen.

Die Hochgeschwindigkeitsplattform meltemi

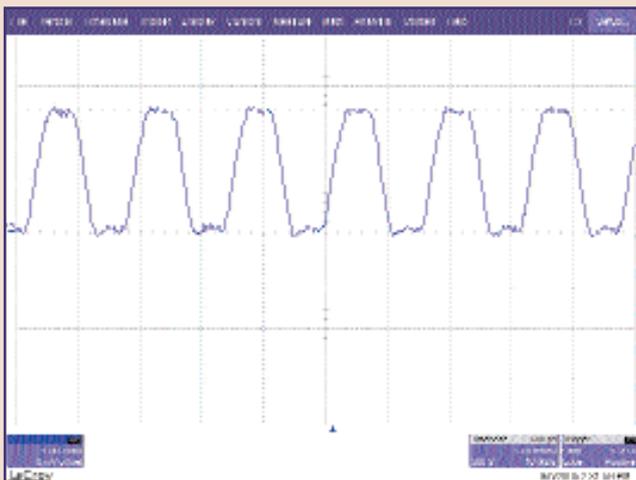


Zentraler Dreh- und Angelpunkt des meltemi-Board ist ein FPGA mit integrierten seriellen Transceivern, umgeben von fest verdrahteter Unterstützungslogik und einem 32-Bit-Single-Chip-Mikrocontroller. Die mittels FPGA nach

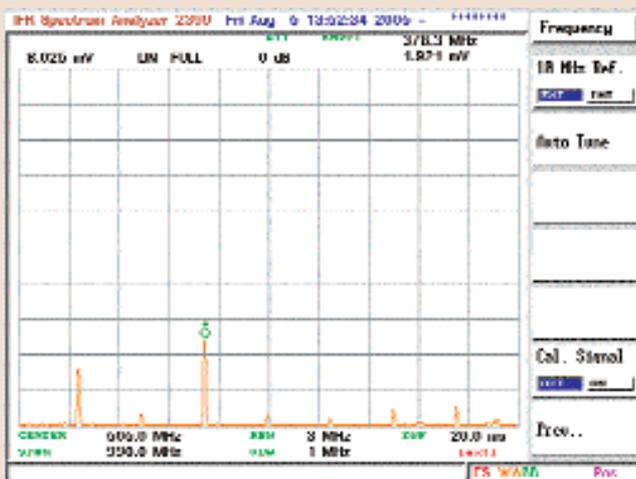
außen geführten Eingangs/Ausgangs-Ports sind in differenzieller Leitungstechnik ausgeführt. Von den insgesamt 77 differenziellen Kanälen sind 61 in LVDS-Technik mit einer Übertragungsrates von 600 MBit/s/Kanal, also insgesamt mehr als 36 GBit/s brutto ausgestattet. Die restlichen

16 Kanäle werden von acht integrierten Transceivern mit 2,5 GBit/s pro-Kanal, insgesamt 40 GBit/s brutto, abgedeckt. Vier Transceiver-Verbindungen laufen über jeweils zwei Infiniband- und zwei Serial-ATA Stecker-Komponenten nach außen. Die restlichen vier Transceiver als auch die insgesamt 61 LVDS-Leitungspaare benutzen vier impedanzdefinierte High-Speed-Buchsenleisten zwecks Erweiterung mit Aufsteckboards. Die zwei Infiniband-Steckverbinder sind nicht direkt an die Transceiver angebunden: Die Datenübertragung über Kabelverbindungen bis 17 m gewährleisten adaptive Kabeltreiber und -Equalizer.

*Gerhard Eigelsreiter ist Inhaber der Firma unit[^]el, Spezialist für High-Speed-Embedded-Systeme mit Schwerpunkt reprogrammierbare Logik und EMV-gerechtes Leiterplattendesign, in Graz/Österreich.



■ Bild 1:
Die FPGA-Datenleitung DQ26 im 12 mA Slow-Mode, 125 MHz,
gute Signalqualität



■ Bild 2:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin,
12 mA Slow-Mode

Mit immer aufwändigeren Schaltungstricks und ressourcenfressenden mathematischen Algorithmen werden Fehlererkennung und -korrektur solange „feingetunt“ bis sämtliche Mängel auf Kosten der Übertragungsrate der eigentlichen Daten gerade mal soweit überdeckt sind, dass bei der Mehrzahl der Anwender und Benutzer der sprichwörtliche Geduldsfaden nicht sofort reißt, sondern aus Gründen der Gewohnheit nur leicht überdehnt wird.

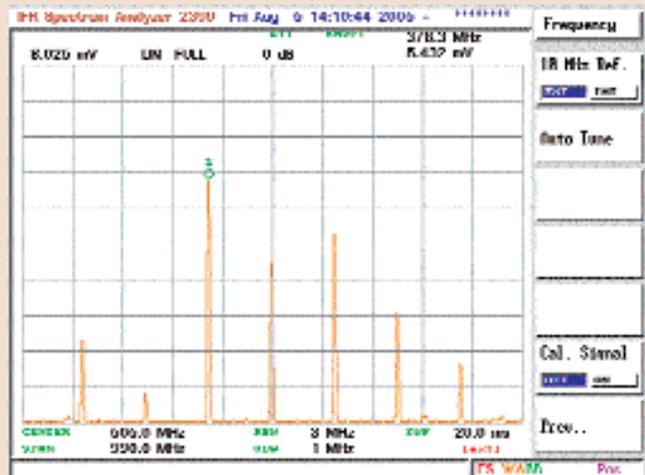
Dabei ließen sich die so gefundenen Lösungen wesentlich eleganter zur optimalen Ausnutzung vorhandener Kanal-kapazitäten nutzen – funktional stabile und EMV-korrekt konstruierte Hardware vorausgesetzt. Schließlich lässt sich nur auf stabiler Hardware fehlerarme bzw. fehlertolerante Software langfristig ökonomisch realisieren. Hierfür gilt es, den in vielen Bereichen der Elektronik steigenden Stör-emissionen konstruktiv entgegenzuwirken (siehe Teil 2, 3 und 6 der Serie).

FPGAs mit ihren vielseitig programmierbaren I/O-Blöcken eignen sich ideal zur Signalqualitätsanalyse von Übertra-gungsleitungen (z.B. Signalleitungen auf Leiterplatten) und deren Verbindungen zu Steckerkonstrukten, die zwangsläufig

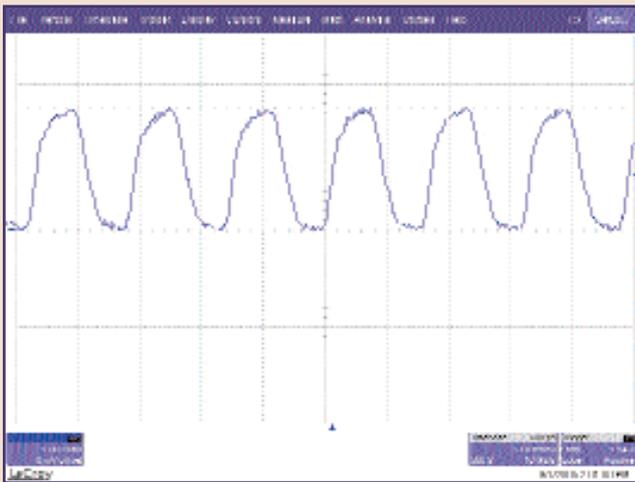
Die Leiterplatte 2010 – Teil 4



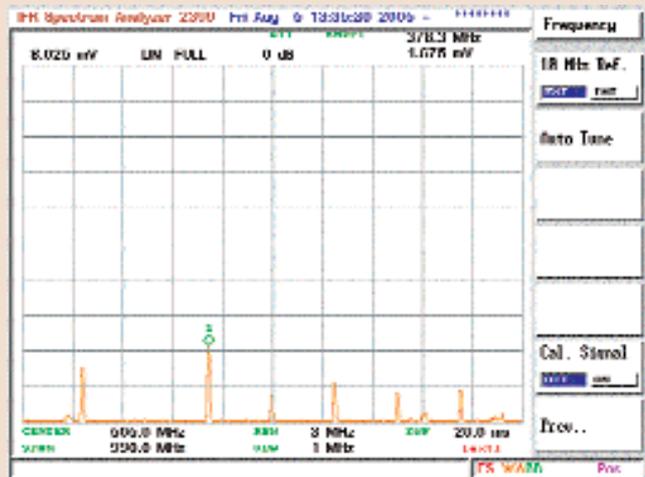
■ Bild 3:
Die FPGA-Datenleitung DQ26 im 24 mA Fast-Mode,
Signalqualität im kritischen Bereich



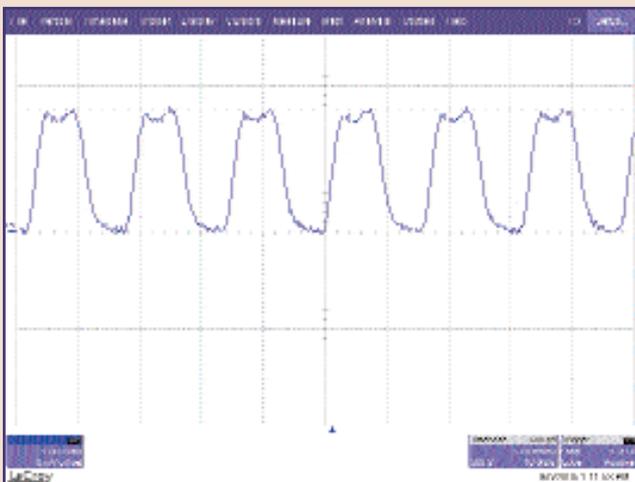
■ Bild 4:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin;
24 mA Fast-Mode



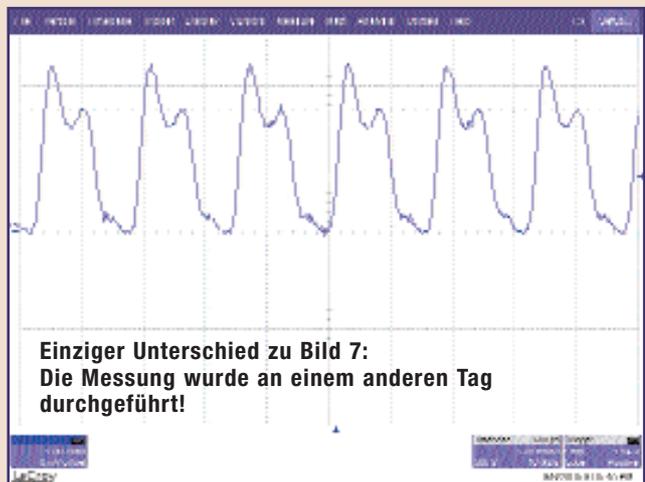
■ Bild 5:
Die FPGA-Datenleitung DQ26 im DCI-(Automatik)Mode;
125 MHz, **gute Signalqualität**



■ Bild 6:
H-Feld-Sondenmessung von DQ26 am SDRAM-Eingangspin,
DCI-Mode



■ Bild 7:
Die FPGA-Datenleitung DQ23 im DCI-Mode, 125 MHz,
gute Signalqualität



■ Bild 8:
Die FPGA-Datenleitung DQ23 im DCI-Mode, 125 MHz,
Signalqualität im kritischen Bereich

Die Serie „Die Leiterplatte 2010“

Die Applikationsplattform „meltemi“, eine Baugruppe für die serielle Hochgeschwindigkeits-Datenübertragung mit Transferraten im Multi-Gigabit/s-Bereich steht im Mittelpunkt der Serie „Die Leiterplatte 2010“. Das Ziel der Serie ist es, die gesamte Entwicklung vom Layout bis zum EMV-Test aufzuzeigen, Entscheidungshilfen zu geben und Alternativen zu beschreiben, die bei einer so komplexen Herausforderung eine Erfolg versprechende Lösung für eine stabile Board-Hardware darstellen. Am Ende der Serie verdeutlichen die Autoren ihre Vorgehensweise

am Beispiel der Hochgeschwindigkeitsplattform „meltemi economic“. Dabei werden anhand eines 6-lagigen Multilayers mit 32 Bit Single-Chip-Mikrocontroller und Spartan-III-FPGA viel versprechende Lösungsansätze näher diskutiert, um auch „Alltags-Elektronik“ mit mehr funktionaler Sicherheit und Stabilität auszurüsten. Gerne stellen wir Ihnen die bislang erschienenen Teile der Serie kostenlos zur Verfügung. Schicken Sie uns hierfür bitte ein E-Mail mit Ihrer vollständigen Adresse an Petra Bauer: redaktion@elektronikpraxis.de.

bereits in Hardware fixiert sind und oft schon als endgültige Board-Lösung vorliegen. Anhand von Messergebnissen soll die Signalqualität von Datenverbindungsleitungen zwischen SDRAM und FPGA des 20-Lagen meltemi-Boards untersucht und demonstriert werden. Zu diesem Zweck wurden die Datenleitungen DQ26 (Gesamtlänge 17 mm, nach 11 mm mit einem zusätzlichen Via zwecks Lagenwechsel) und DQ23 (Gesamtlänge 53 mm jedoch ohne Lagenwechsel, also kein Via) herangezogen. Beide Leitungen sind impedanzdefiniert (50 Ω) ausgelegt und entsprechend geroutet.

Bild 1 und 2 zeigen ein 125-MHz-Signal auf DQ26 bei einer Treibereinstellung des FPGA-I/O-Blocks im „12 mA Slow“-Mode. Dies entspricht ungefähr einer Treiberausgangsimpedanz von 50 Ω . Wie nicht anders zu erwarten stellt das Oszilloskop ein einwandfreies Signal dar. Dieselbe Leitung im „24 mA Fast“-Mode zeigt Bild 3 (entspricht ungefähr 20 Ω Treiberausgangsimpedanz). Aus Sicht der EMV mehr als bedenklich. Siehe dazu Bild 4 Messung mit H-Feldsonde und Spektrumanalyzer. Die Resultate in der EMV-Prüfhalle bestätigten den ersten Eindruck. Man kann sich auch einer Automatik (DCI-Mode) bedienen, die über einen Referenzwiderstand (49,9 Ω) die Ausgangstreiberimpedanz hinsichtlich Temperatur- und Spannungsschwankungen laufend „nachzieht“, Bild 5 und Bild 6. Diese elegante Lösung fand für die nächsten Messungen auf der Daten-

leitung DQ23 großen Anklang (Bild 7). Die Wiederholung der Messungen unter gleichen Messbedingungen am nächsten Tag löste erhebliches Erstaunen aus, Bild 8. Tags darauf keimte bei der dritten Messserie mit wieder identischen Werten zu Bild 7 gewaltiges Misstrauen auf. Solche Differenzen sind selbst bei großzügigster Auslegung nicht mehr Messungenauigkeiten zuzuschreiben. Noch dazu tagesabhängig! Ein Zustand, der keinesfalls hingenommen werden konnte. Des Rätsels Lösung, mit schwerwiegenden künftigen Folgen aus Sicht der EMV und damit verbundener funktionaler Instabilitäten, steht im nächsten Teil dieser Serie. (cm)

Teil 5 der Serie mit dem Kapitel Signalintegrität II erscheint in der nächsten Ausgabe am 6. März.

www.elektronikpraxis.de

- Das Unternehmen unit^el und das Projekt meltemi
- Ifla: Designspezifikationen, Publikationen und Ifla-Akademie
- Die Leiterplatte 2005: Inhalt und Bestellformular für das Magazin
- EMV-Praxis: Die Seminarreihe EMV-korrektens Leiterplattendesign
- Publikation „Wenn Leiterplatten strahlen“ von Prof. Chr. Dirks
- Das High-Speed-Seminar des FED für Entwickler und Leiterplattendesigner

InfoClick

167329